

Technical IP Protect (IP 권리보호를 위한 기술) 소개

엄낙웅/ETRI ASIC 개발팀 팀장

칩의 규모가 증가할수록 IP 유통의 필요성은 더욱 강조될 전망이다. 이런 IP 유통에 원활함을 위해서는 IP 저작자의 권리보호가 우선 시 되어야 한다. 복호된 IP는 더 이상 암호를 필요로 하지 않기 때문에, IP의 무단 사용이 의심되는 설계나 칩에 대해서는 해당 IP의 존재 여부를 검출해 볼 방법이 있어야 한다. 이제부터 IP의 권리보호에 활용되는 기법이나 용어를 알아보자.

IP의 원활한 유통을 위해서는 IP 저작자의 권리보호가 우선 강조되어야 한다. 권리보호는 IP가 불법적으로 유통되는 것을 막고자 하는 '방어' (protection) 측면과 불법유통이 발생하였는지를 판단하기 위한 '검출' (detection) 측면에서 고려될 수 있다.

IP 방어는 기본적으로 IP가 인가 받지 않은 상태로 사용되는 것을 막기 위한 것이다. 이를 위해 디지털 콘텐츠의 저작권 보호에 활용되고 있는 암호화 방식에 따라, 인증 암호 소지자만이 IP를 다룰 수 있는 권한을 지니게 할 수 있다. 하지만 이것만으로는 복호된 IP를 무단 유포하는 행위에 대응하기 어렵다. 복호된 IP는 더 이상 암호를 필요로 하지 않기 때문에, IP의 무단 사용이 의심되는 설계나 칩에 대해서는 해당 IP의 존재 여부를 검출해 볼 방법이 있어야 한다. 이제부터 IP의 권리보호에 활용되는 기법이나 용어를 알아본다.

워터마킹 기술

워터마킹(watermarking) 기술은 IP 불법유통 검출을 위한 기술이다. 워터마크(watermark)란 IP 내부에 숨겨져 있는 IP 저작자의 고유한 표식이다. 만약 IP 거래 사실이 없는 제삼자의 설계에서 자신의 워터마크가 검출되면, IP의 불법유통이 이루어진 것으로 간주할 수 있다.

이와 같이 워터마킹 기술은 소유주를 표시하는 저작권 정보를 IP에 넣어 배포하고 불법복제가 일어난 IP로부터 워터마크를 검출함으로써 원 소유주를 증명할 수 있는 법적 근거를 제시한다. IP에 삽입하는 워터마크에 대한 조건은 다음과 같다.

- 인간이나 프로그램 등에 의해 쉽게 드러나지 않아야 한다.
- 제거되기 어려워야 한다.
- 설계의 한 부분으로서 영구히 내장되어야 한다.

IP 권리보호를 위한 워터마크는 알고리즘 레벨, behavioral 레벨, 목차, 물리적 레벨 등과 같은 설계의 어떤 단계에서라도 고안될 수 있다. 또한 디지털 콘텐츠의 저작권 보호에 활용되는 기존 방법을 활용하여 워터마크가 고안될 수도 있다. IP용 워터마크와 콘텐츠 보호용 워터마크 사이의 차이는 워터마크의 도입에 의한 품질 저하를 허용하는지의 여부이다. 반도체 IP의 경우, 워터마크에 의해 기능이나 성능이 영향을 받지 않아야 하며 또한 가능한 설계 리던던시가 적어야 한다.

핑거프린트 기술

만약 다수의 구매자가 존재하는 어떤 IP가 무단 유포되었다면,

워터마크만으로 IP를 유포시킨 구매자를 찾아내기 어렵다. 그런데 IP 거래 시 저작자의 정보뿐만 아니라 구매자의 정보도 포함하는 정보를 IP에 삽입하게 되면, 추후에 불법배포가 어느 구매자로부터 시작되었는지 추적할 수 있다. 즉, 핑거프린트는 마치 '지문'과 같이 각 구매자의 정보를 담고 있는 개인화된 워터마크이다.

핑거프린팅 기술이 워터마킹 기술과 다른 점은 서로 다른 구매자의 정보를 삽입하기 때문에 각 구매자에 따라 핑거프린트 정보가 서로 조금씩 다르다는 점이다. 이점에 착안하면 두 명 이상의 구매자들이 각자 소유한 IP를 서로 대조하여 핑거프린트를 찾아낼 수 있다. 이 경우 핑거프린트는 무력화되므로, 이러한 공모공격(collusion attack)에 공략 당하지 않도록 핑거프린트를 고안하는 것이 필요하다.

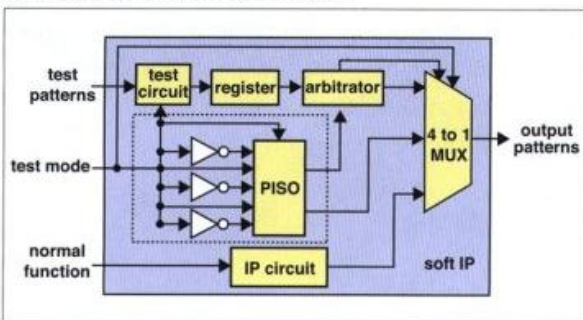
IP 권리보호 기술

소프트, 펌, 하드 등 각 IP 형태에 따라 워터마킹 방법은 서로 달라질 수 있다. 그 중 하드 IP에 대한 연구가 가장 많이 진행된 편이며, 배선 형태, 트랜지스터의 위치, 트랜지스터의 게이트 폭/길이, via의 위치, 셀의 위치 등을 워터마킹에 이용하는 방안들이 연구되었다.

만약 악의적인 사용자가 IP에 포함된 일부 트랜지스터나 셀 위치를 조정하거나 배선 형태를 바꾸었다고 하더라도 나머지 상당수의 값은 변화되지 않고 유지될 수 있다. 한편, 수만에서 수백만 개에 이를 수 있는 이들 좌표 값을 육안으로 판단하는 것은 불가능하므로, 어떤 두 IP 간의 유사성을 수치적으로 판단해 주는 확률을 구하여 그 값의 크기에 따라 IP 사이의 중복성을 검토해 볼 수 있다.

한편 VSIA(Virtual Socket Interface Alliance)는 하드 IP의 보호를 위해 GDSII 정보의 'string' 필드를 이용하여 저작자 정보를 표현할 것을 권유하고 있다. 이것은 악의적인 사용자가 저작자 정보를 조작할 수도 있으므로 소극적인 권리보호 대응책이다.

〈그림 1〉 Y. C. Fan의 워터마크 발생 회로



한편, 펌 IP의 경우에는 hypergraph isomorphism 등을 통해 워터마크의 존재 여부를 판단해 볼 수 있다.

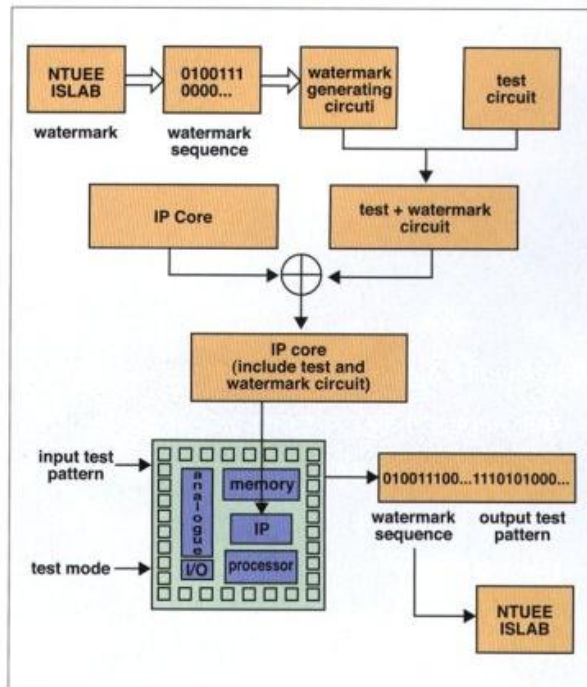
위 방법들은 하드 IP나 펌 IP에 대해서만 적용된다. 소프트 IP를 위해 스케줄링이나 알고리즘 수준에서 워터마크를 삽입시키는 방안에 대해 연구가 진행되었다. 그러한 워터마킹 기법으로서 Constraint-Based 워터마킹, Finite State Machines 워터마킹, 디지털 신호 프로세싱 워터마킹 등이 있다.

IP에 워터마크가 삽입되어 있다고 하더라도 IC로 패키징된 이후에 워터마크를 검출하기 위해서는 리버스 엔지니어링 정도의 어려움이 필요할 수도 있다. 이러한 문제를 피하기 위해서 Y. C. 팬은 패키징된 IC를 테스트 모드로 설정하면 워터마크가 자동적으로 발생되도록 하는 IP 설계 방법을 고안하였다.〈그림 1〉

Y. C. Fan이 제안한 워터마크 발생회로는 게이트와 레지스터의 조합으로 구성된다. 이 회로를 테스트 모드에 두면 테스트 패턴이 발생하기에 앞서서, 워터마크가 PISO(Parallel In Serial Out) 레지스터를 통해 출력된다. 출력되는 워터마크 정보에 따라 IP 소유권을 판단하는 것이 가능하게 된다. 정상동작(normal function) 시에는 테스트 모드는 기능억제되며 IP만 동작한다.

그림 2는 워터마크 발생회로를 탑재한 IP 기반의 IC 설계 흐름도를 나타낸다. 여기서 워터마크는 'TUEE ISLAB'며, 그를 비

〈그림 2〉 테스트 모드에서 워터마크를 발생하는 IP 기반의 IC 설계 흐름



트스트림으로 표현한 것은 '0100111000 ...' 이다. 비트스트림을 발생하는 회로와 의도하는 테스트 회로를 혼합하여 IP 설계에 반영하는 과정은 IP 저작자가 행하게 된다. 이 IP를 IC 설계에 사용하고 테스트 모드에서 동작 시키게 되면 테스트 패턴에 앞서 '0100111000 ...' 과 같은 워터마크가 발생하게 된다. 비트스트림을 20 비트로 설계한다면 220 정도의 IP를 분류하는 것이 가능할 것이며, RTL 수준에서 설계가 이루어 질 수 있으므로 논리합성이나 레이아웃 과정을 거친다고 하더라도 워터마크 발생기능이 변화되지 않는 장점이 있다.

VSIA는 테스트 scheme을 채택하여 IP를 설계할 것을 규정하

고 있고 각 IP에 삽입된 워터마크 발생회로를 분리해 내는 것은 간단한 일이 아니므로, 이러한 설계 흐름은 IP 불법 유통 검출을 위한 실용적인 방안이 될 수 있다.

맺음말

칩의 규모가 증가할수록 원활한 IP 유통의 필요성은 더욱 강조 될 것으로 전망된다. 그에 따라 워터마킹에 의해 IP 권리 보호를 위한 기술적 장치로서, 워터마크를 삽입하고 검출하는 효과적인 틀이나 방법을 고안하는 것에 다양한 노력이 필요한 시점이다. **SM**

IP SoC CATALOG

< SIPAC 등록 IP LIST >

NO	IP NAME (Type / Format)	Seller	Category	Description
1	CLP-02 DES/3DES Core (Firm IP/Verilog)	Elliptic Semiconductor Inc. (http://www.ellipticsemi.com)	Data Transmission ==> Encryption ==> DES	The core is designed to interface to an embedded processor either through a shared memory and pointers or a register based interface.
2	CLP-03 AES Core (Firm IP/Verilog)	Elliptic Semiconductor Inc. (http://www.ellipticsemi.com)	Data Transmission ==> Encryption ==> AES	This core offers a highly efficient shared memory interface to an embedded processor or a register based interface to interface to finite state machines
3	Modified RC4 algorithm (Soft IP/VHDL)	Chonbuk National University (http://www.chonbuk.ac.kr)	Networking	Modified RC4 Algorithm for 64, 128bit WEP and TKIP
4	C16550 (Soft IP, Firm IP, software IP/VHDL, Verilog, AHDL, EDIF)	Moxsyn (http://www.moxsyn.com)	Peripheral Core ==> Receiver/Transmitter ==> Asynchronous Communication	The C16550 programmable asynchronous communications interface (UART) core provides data formatting and control to a serial communication channel.
5	DP8051 - Pipelined High Performance Micro-controller (Soft IP/VHDL, Verilog)	Digital Core Design (http://www.dcd.pl)	Processor & Micro-controller ==> Micro-controller ==> RISC 8bit	DP8051 is a ultra high performance, speed optimized soft core of a single-chip 8-bit embedded controller dedicated for operation with fast (typically on-chip) and slow (off-chip) memories.
6	ARM PrimeCell(tm) Advanced audio CODEC interface (Soft IP / VHDL, Verilog)	ETRI (http://www.etri.re.kr)	Peripheral Core	- Compliance to the AMBA Specification (Rev. 2.0) - Transmit and receive 16-byte FIFOs to reduce CPU interrupts - Programmable frequency divider
7	ARM922T Processor (Hard IP / VHDL, Verilog)	ETRI (http://www.etri.re.kr)	Processor & Micro-controller ==> Microprocessor ==> RISC 32bit	- 32/16-bit RISC architecture (ARMv4T) - 32-bit ARM instruction set for maximum performance and flexibility - 16-bit Thumb instruction set for increased code density
8	MIPS32 4K Processor (Soft IP / Verilog)	ETRI(http://www.etri.re.kr)	Processor & Micro-controller ==> Microprocessor ==> RISC 32bit	- 32-bit Address and Data Paths - MIPS32-Compatible Instruction Set - Programmable Cache Sizes
9	USB to AMBA (Soft IP / Verilog)	ETRI(http://www.etri.re.kr)	Bus Interface ==> USB	- Compliant with USB 1.1 - EndPoint 0 and 15 more generic endpoints in either direction
10	Advanced Audio Codec Interface (PrimeCell PL041) (Soft IP / VHDL, Verilog)	ETRI(http://www.etri.re.kr)	Peripheral Core	- Support for AC interface - Support for 4 channels of each different sample rate - AMBA APB slave block
11	TeakLite DSP Core (Hard IP / Verilog)	ETRI(http://www.etri.re.kr)	Digital Signal Processing ==> DSP Core ==> General Purpose 16bit	- Single MAC - 16bit Licensable DSP Core - On-Chip Emulation support - Full set of Software Development Tools(SDT)
12	Palm16 DSP Core (Hard IP / Verilog)	ETRI (http://www.etri.re.kr)	Digital Signal Processing ==> DSP Core ==> General Purpose 16bit	- Dual MAC - 16bit Licensable DSP Core - Built-in algorithm acceleration(e.g. FFT, Viterbi) - On-Chip Emulation support

NO	IP NAME (Type / Format)	Seller	Category	Description
13	ARM946E Processor (Hard IP / VHDL, Verilog, GDSII)	ETRI (http://www.etri.re.kr)	Processor & Micro-controller => Microprocessor => RISC 32bit	- 32/16-bit RISC architecture (ARMv5TE) - 32-bit ARM instruction set for maximum performance and flexibility - 16-bit Thumb instruction set for increased code density
14	PCI to AMBA (Soft IP / Verilog)	ETRI (http://www.etri.re.kr)	Bus Interface => PCI	- General PCI Core - Compliant to PCI2.2 32bit & 33Mhz - Optimized for Add-in card and Host-Bridge applications
15	Teak DSP Core (Hard IP / Verilog)	ETRI (http://www.etri.re.kr)	Digital Signal Processing => DSP Core => General Purpose 16bit	- Dual MAC - 16bit Licensable DSP Core - Binary compatible to TeakLite, Oak, PineDSPcore - Built-in algorithm acceleration(e.g. FFT, Viterbi)
16	IEEE 1394.a Link Layer Controller (Soft IP / Verilog)	ETRI (http://www.etri.re.kr)	Bus Interface => IEEE => IEEE1394	- Compliant with IEEE 1394a & 1394-1995 Spec - Full implementation of IEEE 1394a Link Layer - 100/200/400 Mbps Data Transfer Rate
17	DC-DC Converter Interface (PrimeCell PL160)(Soft IP / VHDL, Verilog)	ETRI (http://www.etri.re.kr)	Peripheral Core => Controller	- Dual-output Pulse Width Modulation(PWM) controller - 1.8 MHz, 900 KHz, 225 KHz, 96 kHz programmable output - AMBA APB slave block
18	USB 2.0 Controller (Hard IP / Verilog)	ETRI (http://www.etri.re.kr)	Bus Interface => USB	- 32bit DMA mechanism - Bulk endpoint FIFO is 1K-bytes - High-speed and Full-speed USB device
19	Vector Interrupt Controller (PrimeCell PL190)(Soft IP / VHDL, Verilog)	ETRI (http://www.etri.re.kr)	Peripheral Core => Controller => Peripheral Controller	- moves the interrupt controller to the AMBA AHB bus - provides vectored interrupt support for high-priority interrupt sources - support for 32 standard interrupts
20	External Bus Interface (PrimeCell P220)(Soft IP / VHDL, Verilog)	ETRI (http://www.etri.re.kr)	Peripheral Core => Controller => Peripheral Controller	- use the same set of external pins for data and address - the pin count and final package size of the ASIC are reduced
21	UART (PrimeCell PL011)(Soft IP / VHDL, Verilog)	ETRI (http://www.etri.re.kr)	Peripheral Core => Controller => Peripheral Controller	- Universal asynchronous receiver and transceiver - Offer of similar functionality to the 16C550 UART device
22	Synchronous Serial Port (PrimeCell PL022)(Soft IP / VHDL, Verilog)	ETRI (http://www.etri.re.kr)	Peripheral Core => Controller => Peripheral Controller	Master or slave interface that enables synchronous serial communication with slave or master peripherals
23	Static Memory Controller (PrimeCell PL092)(Soft IP / VHDL, Verilog)	ETRI (http://www.etri.re.kr)	Peripheral Core => Controller => Peripheral Controller	- Static memory controller - Support for SRAM, ROM, Flash and burst ROM - Independent configuration for up to 8 memory banks, each up to 64MB
24	Smart Card Interface (PrimeCell PL131)(Soft IP / VHDL, Verilog)	ETRI (http://www.etri.re.kr)	Peripheral Core => Controller => Peripheral Controller	- AMBA APB slave module that interfaces to an external Smart Card reader - Compliant with the EMV, ISO 7816 and USIM standards
25	SDRAM Controller (PrimeCell PL160)(Soft IP / VHDL, Verilog)	ETRI (http://www.etri.re.kr)	Peripheral Core => Controller => Peripheral Controller	- SDRAM controller - compatible with ARM7, ARM9, and ARM10 processors - Four independently controlled chip selects
26	Real Time Clock (PrimeCell PL031) (Soft IP / VHDL, Verilog)	ETRI (http://www.etri.re.kr)	Peripheral Core => Controller => Peripheral Controller	- 32-Bit up counter, requires 1 Hz clock - Programmable 32-Bit match compare register - AMBA APB slave block
27	Multi-Port Memory Controller (PrimeCell PL172) (Soft IP / VHDL, Verilog)	ETRI (http://www.etri.re.kr)	Peripheral Core => Controller => Peripheral Controller	- Universal Memory Controller - 4 Port UMC supporting SDRAM, SyncFlash and standard static memory - AMBA AHB slave block
28	Keyboard & Mouse Interface (PrimeCell PL050) (Soft IP / VHDL, Verilog)	ETRI (http://www.etri.re.kr)	Peripheral Core => Controller => Peripheral Controller	- IBM PS2 or AT-compatible keyboard/mouse interface - AMBA APB slave block - Total cell area : 2000 Gates (without scan, Avant! CB25 v2.1 0.25um)
29	General Purpose Input & Output (PrimeCell PL061) (Soft IP / VHDL, Verilog)	ETRI (http://www.etri.re.kr)	Peripheral Core => Controller => Peripheral Controller	- General purpose input/output - 1 x 8 bit with interrupt control - AMBA APB slave block
30	100MHz CMOS Continuous- Time Analog Filter (Hard IP / GDSII, Spice)	University of Seoul (http://www.uos.ac.kr)	Analog & Mixed Signal => Analog Filter	This IP is a 100MHz 0.05 equiripple Gm-C lowpass filter, the cut-off frequency of filter can be controlled from 50 MHz to 100 MHz by a external analog voltage.
31	10b 50MHz CMOS Pipelined ADC(Hard IP / GDSII)	University of Seoul (http://www.uos.ac.kr)	Analog & Mixed Signal => Converter	The IP is a complete 10-bit ADC with an on-chip sample-and-hold and reference.
32	SEED, the 128-bit Symmetric Block Cipher Engine(Soft IP / VHDL)	Handong Global University (http://www.han.ac.kr)	Processor & Micro- controller => Crypto Processor	- Implements SEED, Korea Standard Encryption/Decryption Algorithm - 128-bits block cipher - Symmetric block cipher
33	DDR SDRAM Controller (Soft IP / VHDL)	Handong Global University (http://www.han.ac.kr)	Peripheral Core => Controller => Memory Controller	- Interface between processor cores and DDR SDRAM - Supports upto 8 requests from cores in round-robin manner

NO	IP NAME (Type / Format)	Seller	Category	Description
34	Utopia Level-2 Tx master for ATM(Soft IP / Verilog)	Handong Global University (http://www.han.ac.kr)	Networking ==> Protocol Layer ==> ATM/UTOPIA	- We implemented the Utopia Level-2 Tx Master Module only - Compliant to AF-PHY-0039.000 except for the octet level handshaking
35	UWB Pulse Generator(Soft IP, Hard IP / VHDL, GDSII)	Sunchon University (http://www.sunchon.ac.kr)	Others	This IP represents a UWB pulse for real time location systems and wireless UWB communication systems.
36	Enhanced TKIP for 802.11 (Soft IP / VHDL)	Chonbuk National University (http://www.chonbuk.ac.kr)	Data Transmission ==> Encryption	TKIP enhance security of IEEE 802.11 MAC Layer by generating packet key
37	ISO/IEC 14443 A type Compatible Analog & RF interface(Firm IP / GDSII)	Wonkwang University (http://www.wonkwang.ac.kr)	Analog & Mixed Signal ==> RF Module	- ISO/IEC 14443 A type Compatible Smart Card Reader Analog & RF interface Block - Total cell area: 100 Gates, Clock frequency: 13.56MHz
38	DSP54 (Soft IP / VHDL, Verilog)	PULSUS Technologies (http://www.pulsus.co.kr)	Processor & Micro-controller ==> DSP Core ==> 16-Bit	DSP54 is a high performance 16-Bit fixed-point digital signal processor core.
39	DSP26 (Soft IP / VHDL, Verilog)	PULSUS Technologies (http://www.pulsus.co.kr)	Processor & Micro-controller ==> DSP Core ==> 16-Bit	DSP26 is a general-purpose compact 16-bit fixed-point digital signal processor core.
40	8051 & Smart Card Reader Parallel Interface (Soft IP / Verilog)	Wonkwang University (http://www.wonkwang.ac.kr)	Processor & Micro-controller	- 8051 & ISO/IEC 14443 compatible A type smart card Reader Parallel Interface Block - Total cell area : 300 Gates
41	CRC, Timer, Interrupt, AN-Coding (Soft IP / Verilog)	Wonkwang University (http://www.wonkwang.ac.kr)	Others	- 8051 & ISO/IEC 14443 compatible A type smart card Reader Parallel Interface Block - Total cell area : 5000 Gates
42	C_State & CONTROL (Soft IP / Verilog) Wonkwang	University (http://www.wonkwang.ac.kr)	Others	- 8051 & ISO/IEC 14443 compatible A type smart card Reader C_State & CONTROL Block - Total cell area : 4000 Gates
43	FIFO & Register (Soft IP / Verilog) Wonkwang	University (http://www.wonkwang.ac.kr)	Memory Element	- 8051 & ISO/IEC 14443 compatible A type smart card Reader FIFO & Register Block - Total cell area : 16000 Gates
44	ISO/IEC 14443 A type Compatible Smart Card Reader (Firm IP / Verilog, GDSII)	Wonkwang University (http://www.wonkwang.ac.kr)	Others	- 8051 & ISO/IEC 14443 compatible A type smart card Reader - Total cell area : 30,000 Gates
45	Video Encoding Engine (Soft IP / VHDL)	Seokyeong University (http://www.seokyeong.ac.kr)	Digital Signal Processing ==> Video Encoder/Decoder	- This IP consist of a Quantizer and a Huffman encoder and a Packing Block module for JPEG. - A Quantizer input is 8 bit.
46	WLAN MAC tx_coordination_cfp (Soft IP / VHDL)	Chonbuk National University (http://www.chonbuk.ac.kr)	Networking ==> Protocol Layer ==> Data Link Layer	Tx_Coordination for contention-free access method
47	Design of a 5.2GHz CMOS Dual-Mixer (Hard IP / GDSII)	Chonbuk National University (http://www.chonbuk.ac.kr)	Analog & Mixed Signal	A monolithic 5.2GHz dual mixer using a 0.25um CMOS technology is designed. Local oscillator frequencies of 1st and 2nd mixer are the same 2.6 GHz.
48	DAC12b100M (Hard IP / GDSII, Spice)	Sogang University (http://www.sogang.ac.kr)	Analog & Mixed Signal ==> Converter ==> DAC	A 3 V 12b 100 MS/s CMOS digital-to-analog converter (DAC) for high-speed communication system applications
49	ADC8b52M: 8b 52MS/s 3V to 5V 0.8um CMOS ADC (Hard IP / GDSII, Spice)	Sogang University (http://www.sogang.ac.kr)	Analog & Mixed Signal ==> Converter ==> ADC	An 8b 52MHz CMOS subranging analog-to-digital converter (ADC) for Integrated Services Digital Network applications
50	DP8051CPU-Pipelined High Performance Micro-controller CPU (Soft IP / VHDL, Verilog)	Digital Core Design (http://www.dcd.pl)	Processor & Micro-controller ==> Micro-controller ==> RISC 8bit	DP8051CPU is an ultra high performance, speed optimized soft core of a single-chip 8-bit embedded controller dedicated for operation with fast (typically on-chip) and slow (off-chip) memories.
51	DP8051XP-Pipelined High Performance Configurable Micro-controller (Soft IP / VHDL, Verilog)	Digital Core Design (http://www.dcd.pl)	Processor & Micro-controller ==> Micro-controller ==> RISC 8bit	DP8051XP is an ultra high performance, speed optimized soft core of a single-chip 8-bit embedded controller dedicated for operation with fast (typically on-chip) and slow (off-chip) memories.
52	DRPIC1655x-High Performance Configurable 8-bit RISC Micro-controller (Soft IP / VHDL, Verilog)	Digital Core Design (http://www.dcd.pl)	Processor & Micro-controller ==> Micro-controller ==> RISC 8bit	The DRPIC1655X is a low-cost, high performance, 8-bit, fully static soft IP Core, dedicated for operation with fast (typically on-chip) dual ported memory.
53	IVREF11b70M : ON-CHIP FULL CMOS I/V REFERENCES (Hard IP / GDSII, Spice)	Sogang University (http://www.sogang.ac.kr)	Analog & Mixed Signal ==> Voltage Reference	On-chip CMOS current and voltage references for high-speed mixed-mode circuits.