INTEGRATED CIRCUITS

DATA SHEET

I2C TRANSMITTER/RECEIVER

PRODUCT SPECIFICATION **2002. Nov 28**

1. Claims and assumptions (Features and characteristics)

1.1 General Information

1.1.1 IP 정보

Soft IP

1.1.2 기본 기능

I²C BUS는 BUS에 연결된 Device의 정보교환을 위한 2개의 bi_direction serial Bus(serial clock : SCL, serial data SDA)로 구성되어있다. 각각의 Device는 고유 Address를 가지고 송,수신이 가능하다.

Master란 전송을 위한 clock signal을 생성하며 Bus에 Data 전송을 시작하는 Device이며 이때 요구되어진 다른 Device를 Slave라 한다.

I²C Bus에서 Data 전송에 있어 필요한 Start condition 과 Stop condition을 정의하면, SDA의 Data는 Clock의 high period 동안 stable 하다. 즉 SCL이 low 상태일 때 data line의 상태가 high 또는 low로 변화한다. Start condition은 SCL이 high 상태일 때 SDA의 상태가 high-to-low인 특별한 경우이며, Stop condition은 SCL이 low 상태일 때 SDA의 상태가 low-to-high인 특별한 경우이다.

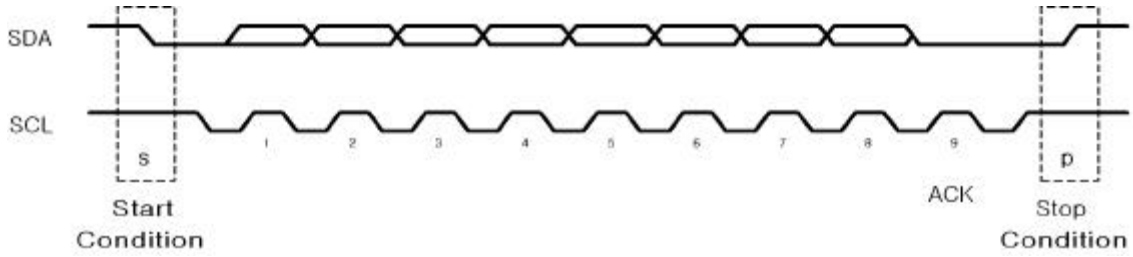


Figure 3 Data transfer on I2C Bus

각 data packet은 9clock동안 8bit의 dta와 1bit의 acknowledge bit로 구성되며 Master와 Slave 사이의 전송에 있어서 start, slave address, data transfer, stop 4개의 부분으로 구성된다.

I²C protocol은 7bit and 10bit addressing이 있으나 본IP는 7bit addressing mode만 지원한다.

Start condition 이후 slave_address를 보낸다 이때, address는 7bit 이고 R/W_bit가 뒤따르며 R/W = '1' 이면 request data(read) 이며 R/W = '0' 이면 data transmission(write) 이다. slave가 master에서 보낸 address와 일치하면 9번째 clock에서의 SDA_Bus를 '0'로 하여 acknowledge signal을 되돌려준다,

R/W_bit에 정의된 내용에 따라 byte 단위로 data를 전송하며, master는 전송이 끝나면 stop을 발생시킨다. master가 stop condition을 발생하는 대신 start condition을 발생하면 이 때는 repeat start라 한다.

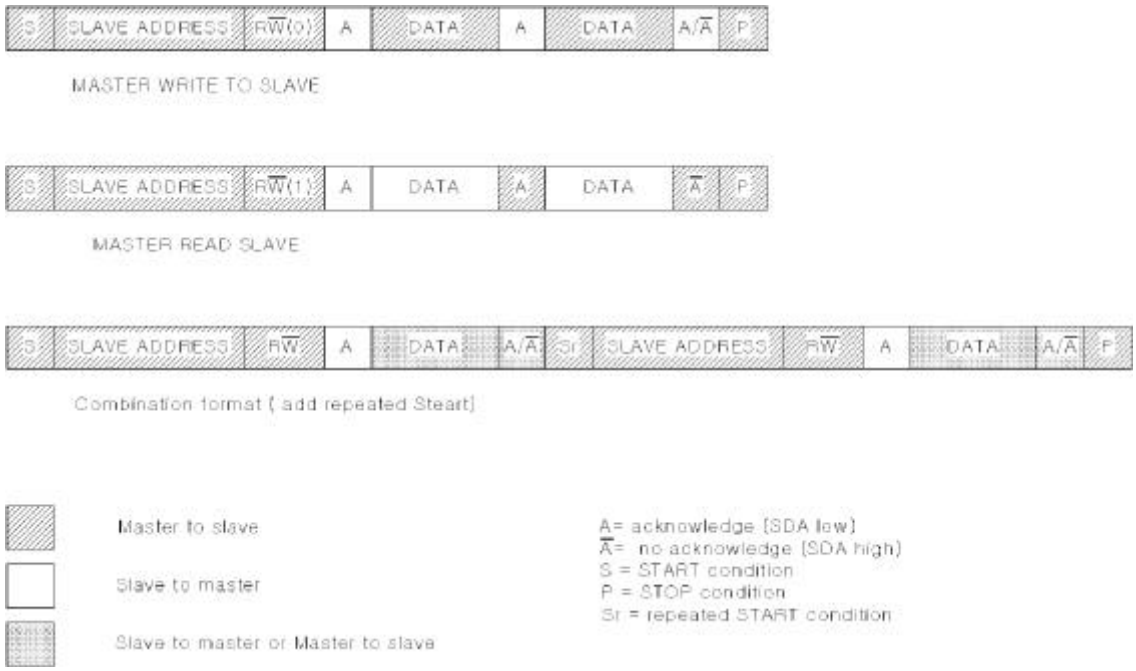


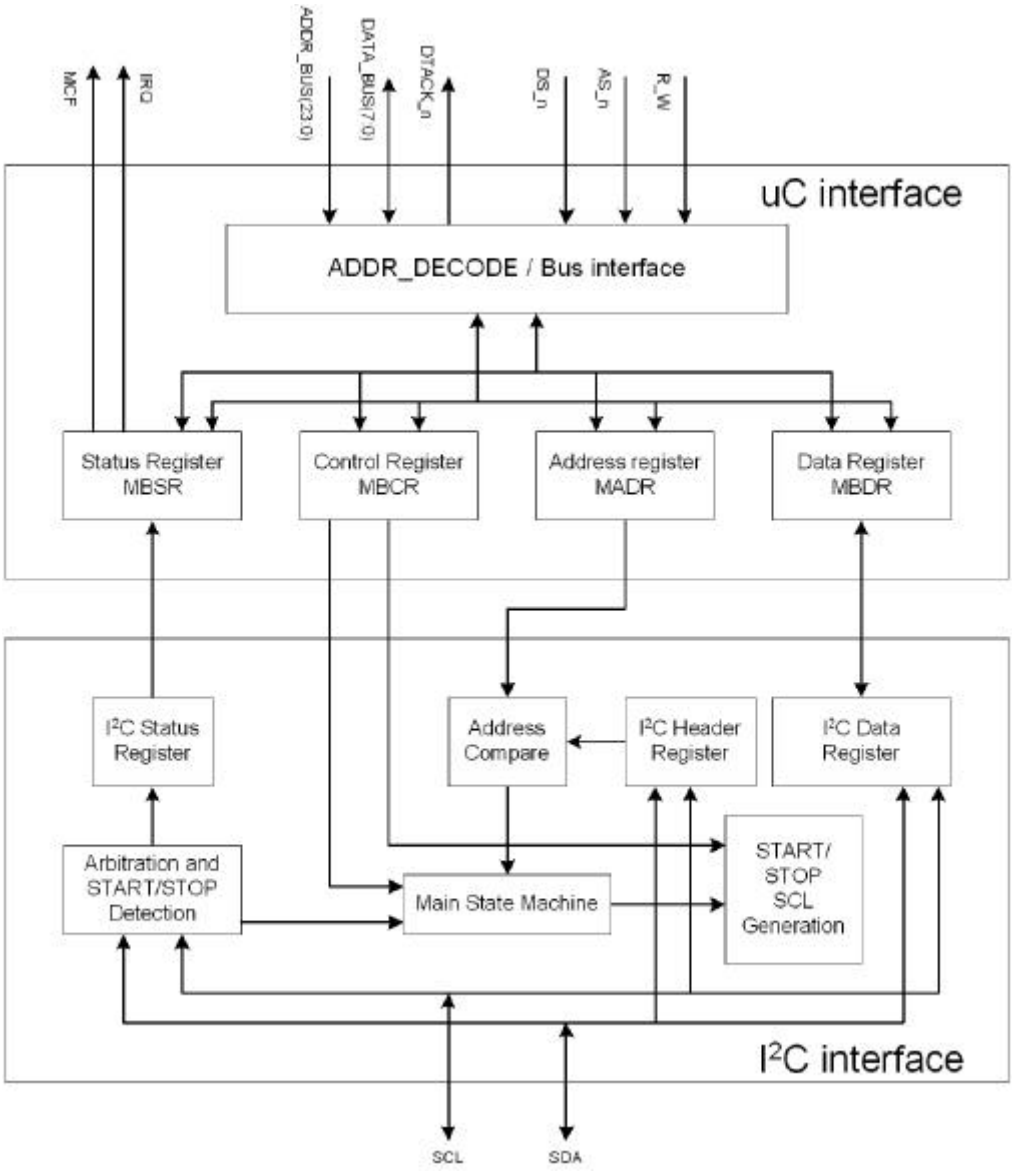
Figure 2 Data transfer format on I2C Bus

1.1.3 용도 및 적용분야

2. Verification of claims and assumptions (Reference environment)

3. Block Diagram

Figure 3 Data transfer format on I2C Bus



4. I²C Bus Controller Register Description

Table 1 : Address Register (MADR : $8Dh)

Bit Location	Name	µC Access	Description
7-1	Slave address	Read/Write	Slave mode에서 I²C controller 확인시 사용
0	-	-	사용안함

Table 3 : Control Register (MBCR : $91h)

Bit Location	Name	µC Access	Description
7	MEN	Read/Write	I^2C Controller Enable.
6	MIEN	Read/Write	Interrup Enable
5	MSTA	Read/Write	Master/Slave Mode Select "0"->"1" : master mode에서 Start condition 발생 "1"->"0" : slave mode로 바뀌며 Stop condition 발생 만약 버스가 깨지면 Stop condition 발생 안함
4	MTX	Read/Write	Transmit/Receive Mode Select "1" : I^2C master 송신 "0" : I^2C master 수신
3	TXAK	Read/Write	Transmit Acknowledge Enable "1" : ACK bit = "1" no ack. "0" : ACK bit = "0" ack.
2	RSTA	Read/Write	Repeated Start “1” : master 이면 repeated Start 발생
1-0	-	-	

Table 3 : Status Register (MBSR : $93h)

Bit Location	Name	µC Access	Description
7	MCF	Read	Data Transferring Bit transfer 완료 : "1" transfer 진행 중 : "0"
6	MAAS	Read	Address as Slave Bit
5	MBB	Read	Bus Busy Bit bus busy : "1" bus idle : "0"
4	MAL	Read Software Clearable	Arbitation Lost Bit I^2C bus is lost :“1” µC write "0" : “0”
3	-	-	
2	SRW	Read	Slave Read/Write Bit "1" Master reading from Slave "0" Master writing to Slave
1	MIF	Read Software Clearable	Interrupt Bit
0	RXAK	Read	Received Acknowledge Bit "1" receive no ack "0" receive ack

Table 4 : Data Register (MBDR : $95h)

Bit Location	Name	µC Access	Description
7-0	D7:D0	Read/Write	I^2C Data

5. Timing Diagram

6. Clock Distribution

7. Bus interface & I/O configuration

Table 5 : Top I/O Signal Description

Name	Direction	Description
SDA	I/O	**I^2C Serial Data**
SCL	I/O	**I^2C Serial Clock**
ADDR_BUS[23:0]	I	**µC Address Bus**
DATA_BUS[7:0]	I/O	**µC Data Bus**
AS_N	I	**Address Strobe** (active low) Address**를 받아들일 때 그 타이밍을 맞추기 위한 짧은 신호**
DS_N	I	**Data Strobe** (active low) Data**를 받아들일 때 그 타이밍을 맞추기 위한 짧은 신호**
R_W	I	**Read/Write** (active low) "1" Read reg. , "0" Write to reg.
DTACK_N	O	**Data transfer Acknowledge** (active low) receive cycle : **µC로 보낼** data **준비완료 신호** write cycle : **µC로 부터** data **수신완료 신호**
IRQ_N	O	**Interrupt Request** (active low)
MCF	O	**Data Transferring Bit** 1byte data**가 전송될 동안은** "0" **전송 완료 후** "1"
CLK	I	**Clock**
RST_N	I	**Reset** (active low)

Table 6 : uC Interface to I2C Interface Signal Description

Name	Direction	Description
RST_RSTA	I	**Repeat Start reset**
RST_MSTA	I	**MSTA bit reset** if Arbitration lost
MBSR[7:0]	O	**To I^2C status register**
MBCR[7:0]	O	**Control register**
MADR[7:0]	O	**Address register**
MBDR_I2C[7:0]	I	**From I^2C data register**
MBDR_MICRO[7:0]	O	**From uC data register**
RST_MAL_BIT	O	**MAL bit reset** if uC software writing "0"
RST_MIF_BIT	O	**MIF bit reset** if uC software writing "0"
MBCR_WR	O	**MBCR write enable** (maar bit reset if MBCR writing)

8. Test Description
9. Integration requirement
10. Version History
11. Known bug
12. Application note

13. Deliverable list / format